

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210955

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H05K 3/46
H01L 25/00

(21)Application number : 2000-018461

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 27.01.2000

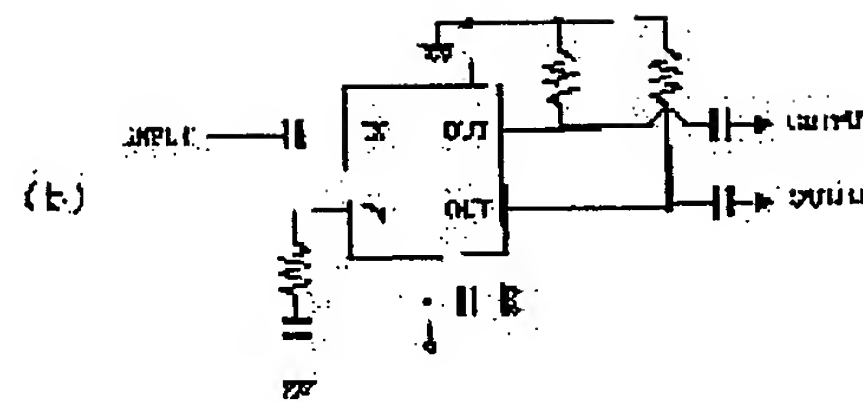
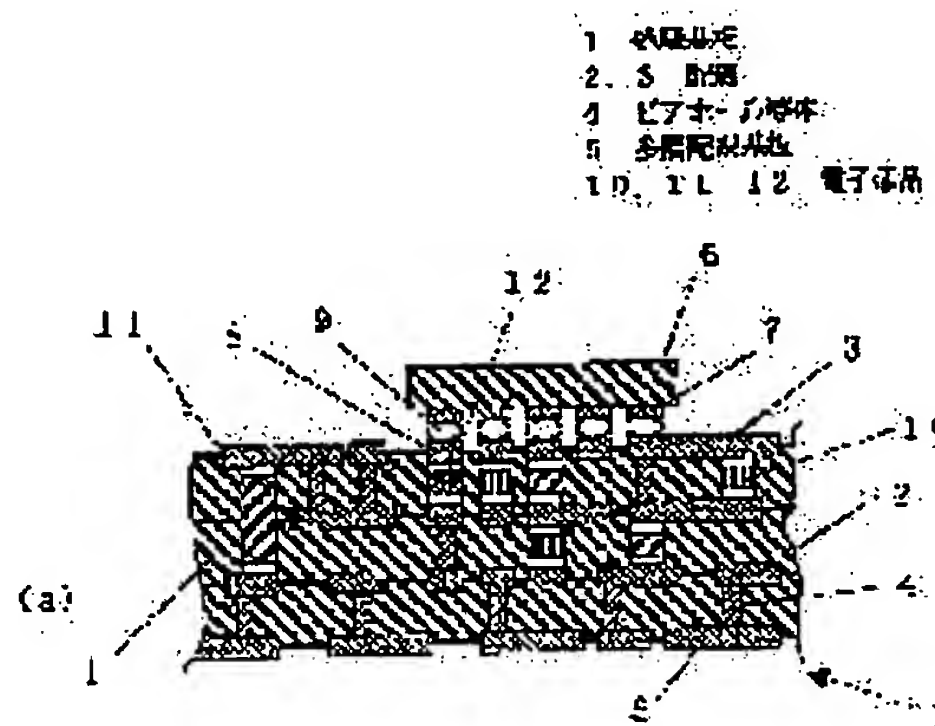
(72)Inventor : NISHIYAMA TOSAKU
HATANAKA HIDEO
ANDO DAIZO

(54) PRODUCING METHOD FOR DOUBLE-FACED WIRING BOARD WITH BUILT-IN COMPONENT AND ELECTRONIC CIRCUIT STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of limits in miniaturization, high-density packaging and multifunctioning concerning a wiring board with built-in electronic components.

SOLUTION: A semiconductor chip 6 is packaged on the upper surface of a multilayer wiring board 5, having multiple insulating substrates 1, inner layer wiring 2, wiring 3 formed on both sides and via hole conductor 4 for electrically connecting these wiring groups as principal components, electronic components such as chip resistor 10, chip capacitor 11 and chip coil 12 are built in the other via hole, these electronic components are located especially directly under the semiconductor chip 6, and the electronic components are serially connected through the inner layer wiring 2.



LEGAL STATUS

[Date of request for examination] 27.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3246502

[Date of registration] 02.11.2001

[Number of appeal against examiner's decision of rejection]

inls Page Blank (uspto)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-210955

(P2001-210955A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)IntCl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 5 K 3/46

H 0 5 K 3/46

Q 5 E 3 4 6

N

Z

H 0 1 L 25/00

H 0 1 L 25/00

B

審査請求 有 請求項の数 9 O L (全 13 頁)

(21)出願番号 特願2000-18461(P2000-18461)

(22)出願日 平成12年1月27日(2000.1.27)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 西山 東作

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 畠中 秀夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

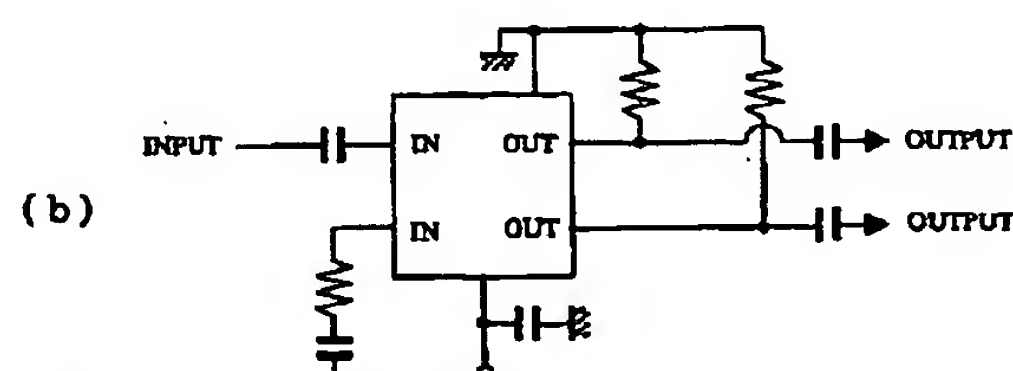
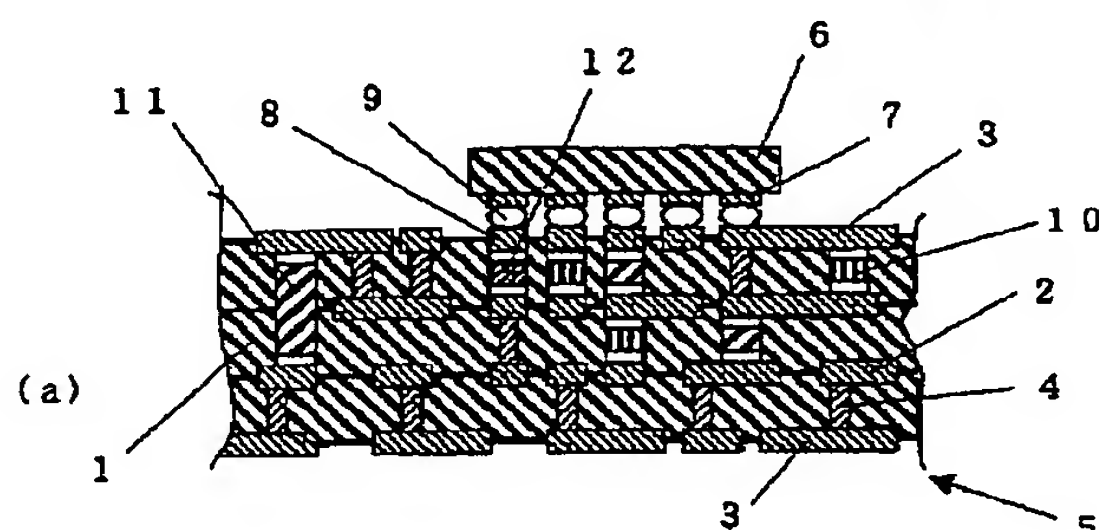
(54)【発明の名称】 部品内蔵両面配線板の製造方法、及び電子回路構成体の製造方法

(57)【要約】

【課題】 電子部品を内蔵した配線基板において、その小型化、高密度実装化および多機能化には限界があるという課題があった。

【解決手段】 複数の絶縁基板1およびその内層配線2と両面に形成された配線3およびその配線群を電気的に接続するビアホール導体4を主たる構成要素とする多層配線基板5の上面に半導体チップ6を搭載し、他のビアホール内にチップ抵抗10、チップコンデンサ11、チップコイル12等の電子部品を内蔵、特に半導体チップ6の直下にこれらの電子部品を配置し、内層配線2を介して電子部品を直列接続させている。

1 絶縁基板
2, 3 配線
4 ビアホール導体
5 多層配線基板
10, 11, 12 電子部品



【特許請求の範囲】

【請求項1】 複数の絶縁基板を積層して得られる多層構造基板の両面および内層に複数の配線が形成され、前記配線間が前記絶縁基板のビアホール内に充填されたビアホール導体によって接続された多層配線基板において、前記複数の絶縁基板の所定の位置に設けた貫通孔内に電子部品を埋設することにより前記多層配線基板の内部に電子回路を構成したことを特徴とする電子回路構成体。

【請求項2】 電子部品が多層配線基板を構成する複数の絶縁基板にまたがって内蔵されていることを特徴とする請求項1記載の電子回路構成体。

【請求項3】 複数の絶縁基板内にそれぞれ内蔵されている異なる種類の電子部品が、前記絶縁基板を積層する際に直列接続していることを特徴とする請求項1記載の電子回路構成体。

【請求項4】 複数の絶縁基板が、ガラスエポキシコンポジット、ガラスBTレジンコンポジット、アラミドエポキシコンポジットおよびアラミドBTレジンコンポジットの熱硬化性樹脂含浸繊維基材の少なくとも1種からなる全層インナーバイアホール構造を有する絶縁基板であることを特徴とする請求項1記載の電子回路構成体。

【請求項5】 複数の絶縁基板が、無機質フィラー70～95重量部と、少なくとも熱硬化性樹脂、硬化剤、および硬化促進剤を含む樹脂組成物5～30重量部からなる混合物を主体とする全層インナーバイアホール構造を有するコンポジット基板よりなることを特徴とする請求項1記載の電子回路構成体。

【請求項6】 絶縁基板にビアホールと貫通孔を設ける工程と、前記絶縁基板の底面に銅箔を貼着したのち前記貫通孔の内部に電子部品を装填する工程と、前記絶縁基板上に導電性ペーストを塗布して前記貫通孔と前記ビアホール内に充填する工程と、前記導電性ペーストを塗布した前記絶縁基板の上面に銅箔を配置し、両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを圧縮、硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成することにより電子部品内蔵両面配線板を形成する工程と、複数種類の前記電子部品内蔵両面配線板を少なくとも2枚積層する工程とを有する電子回路構成体の製造方法。

【請求項7】 絶縁基板としてガラスエポキシコンポジット、ガラスBTレジンコンポジット、アラミドエポキシコンポジットおよびアラミドBTレジンコンポジットの熱硬化性樹脂含浸繊維基材の少なくとも1種からなる絶縁基板を用いることを特徴とする請求項6記載の電子回路構成体の製造方法。

【請求項8】 絶縁基板にビアホールを設ける工程と、前記ビアホールの内部に導電性ペーストを充填する工程と、両端子に導電体を塗布した複数の電子部品を銅箔の所定の位置に載置する工程と、ビアホールの内部に導電

性ペーストを充填した前記絶縁基板を複数の電子部品を載置した前記銅箔と他の銅箔との間に挟持して加圧することにより前記電子部品を前記絶縁基板内に埋設する工程と、前記銅箔の両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成することにより電子部品内蔵両面配線板を形成する工程と、複数種類の前記電子部品内蔵両面配線板を少なくとも2枚積層する工程とを有する電子回路構成体の製造方法。

【請求項9】 絶縁基板として無機質フィラー70～95重量部と、少なくとも熱硬化性樹脂、硬化剤、および硬化促進剤を含む樹脂組成物5～30重量部からなる混合物を主体とするコンポジット基板を用いることを特徴とする請求項8に記載の電子回路構成体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子回路モジュール、特に多層配線基板の内部に電子部品を内蔵させることにより、高密度実装および高密度配線を同時に行うことができる電子回路構成体とその製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型化、薄型化、軽量化、高機能化が進展する中で電子機器を構成する各種電子部品の小型化や薄型化とともに、これら電子部品が実装されるプリント配線基板も高密度実装を可能とする様々な技術開発が盛んである。

【0003】特に最近では急速な実装技術の進展とともに、LSI等の半導体チップを高密度に実装でき、かつ高速信号処理回路にも対応できる多層配線構造の回路基板が安価に供給されることが強く要望されてきている。このような多層配線回路基板では微細な配線ピッチで形成された複数層の配線パターン間の高い電気的接続信頼性や優れた高周波特性を備えていることが重要である。

【0004】このような問題を解決するために新しい構造を備えた回路基板や高密度配線を目的とする製造方法が開発され、すでに携帯型電子機器等に多く使用されている。

【0005】例えば、従来の多層配線基板における層間接続の主流となっていたスルーホール内壁の銅めっき導体に代えて、インナーバイアホール（以下、IVHという）に導電体を充填して接続信頼性の向上を図るとともに部品ランド直下や任意の層間にIVHを形成でき、基板サイズの小型化や高密度実装が実現できる全層IVH構造の樹脂多層配線基板（特開平6-268345号公報）がある。

【0006】しかしながら上記のように高密度配線化された多層配線基板においても、コンデンサ、抵抗器など配線基板の表面に実装される電子部品の占める面積の割合は依然として高く、電子機器の小型化に対して大きな課題となっている。このような課題の解決策として配線

基板内に電子部品を埋設して高密度実装化を図ろうとする提案が開示されている。

【0007】例えばプリント基板に設けた透孔内にリードレス部品を埋設した特開昭54-38561号公報、絶縁基板に設けた貫通孔内にセラミックコンデンサ等の受動素子を埋設した特公昭60-41480号公報、半導体素子のバイパスコンデンサをプリント配線基板の孔に埋設した特開平4-73992号公報および特開平5-218615号公報等が開示されている。

【0008】また、セラミック配線基板に設けたビアホール内に導電性物質と誘電性物質を充填して同時焼成した特開平8-222656号公報、有機系絶縁基板に設けた貫通孔に電子部品形成材料を埋め込んだ後、固化させてコンデンサや抵抗器を形成した特開平10-56251号公報等が開示されている。

【0009】上記従来の開示技術はいずれも二つの方式に大別できる。すなわちその一つは配線基板に設けられた貫通孔にチップ抵抗器またはチップコンデンサ等の既に完成されたリードレス部品を埋設したのち、このリードレス部品の電極と配線基板上の配線パターンとを導電性ペイントまたは半田付けによって接続するものである。また他の一つは有機系配線基板の場合、配線基板に設けた貫通孔にコンデンサ等の電子部品形成材料を埋め込み、固化させることによって所望のコンデンサとした後、その上下の端面にメッキを施して電極を形成して電子部品内蔵配線基板を形成させ、また無機系配線基板の場合は、セラミックグリーンシートに設けられたビアホール内に誘電体ペーストや導電性ペーストを充填した後、高温で焼成することにより、所望のコンデンサを内蔵した配線基板を形成したものである。

【0010】

【発明が解決しようとする課題】しかしながら、前述したこれら従来の開示技術はいずれも両面配線基板の貫通孔内に電子部品を埋設してその電子部品の電極を配線基板の表裏両面の配線パターンに接続するものであり、その小型化、高密度実装化および多機能化には限界がある。

【0011】本発明は上記の課題を解決するものであり、極めて多機能化された小型電子機器に使用するための多層配線基板において、複数種の電子部品を多層配線基板内の各層における任意の位置に完全に埋設させて回路と電子部品を一体化、すなわちモジュール化することにより配線長の最短化、および高密度配線化を図り、高速動作化など電子機器の高性能化に寄与することができる電子回路構成体とその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は上記目的を達成するために、複数の絶縁基板を積層し、その両面および内層に複数の配線が形成された多層配線基板の所定のビ

アホール内に電子部品を埋設して多層配線基板の内部に電子回路を構成することにより、1つの多層配線基板をモジュール化、すなわち配線基板と電子部品とを一体化した回路構成体を形成できるため、高速信号処理が可能な電子機器を高密度化、小型化することができる。

【0013】本願の第1の発明は、複数の絶縁基板を積層して得られる多層構造基板の両面および内層に複数の配線が形成され、その配線間が絶縁基板のビアホール内に充填されたビアホール導体によって接続された多層配線基板において、複数の絶縁基板の所定の位置に設けた貫通孔内に電子部品を埋設することにより多層構造基板の内部に電子回路を構成したものであり、従来の多くの電子部品を表面に搭載した配線基板と異なり、半導体チップを除くディスクリート電子部品の多くを配線基板内に埋設しているために、電子部品とこれらを接続する配線とが一体化されて表面が平滑化され、かつ小型、薄型化された電子回路構成体を形成することができる。

【0014】また、第2の発明は、第1発明の電子回路構成体に関し、電子部品が多層配線基板を構成する複数の絶縁基板にまたがって内蔵されていることを特徴とするものであり、さらなる多層配線基板内回路の高密度実装化、高密度配線化が可能となる。

【0015】また、第3の発明は、第1の発明の電子回路構成体に関し、複数の絶縁基板内にそれぞれ内蔵されている異なる種類の電子部品を絶縁基板を積層する際に直列接続したものであり、複数の電子部品を配線を介することなく接続できるため、高速信号処理に寄与できる。

【0016】また、第4の発明は、第1の発明の電子回路構成体に関し、複数の絶縁基板をガラスエポキシコンポジット、ガラスBTレジンコンポジット、アラミドエポキシコンポジットおよびアラミドBTレジンコンポジットの熱硬化性樹脂含浸繊維基材の少なくとも1種から構成したものであり、容易な製造法により信頼性に優れた電子回路構成体を形成することができる。

【0017】また、第5の発明は、第1の発明の電子回路構成体に関し、複数の絶縁基板を無機質フィラー70～95重量部と、少なくとも熱硬化性樹脂、硬化剤、および硬化促進剤を含む樹脂組成物5～30重量部からなる混合物より構成したものであり、第4の発明の効果と同様の効果を得ることができる。

【0018】また、第6の発明は、絶縁基板にビアホールと貫通孔を設ける工程と、前記絶縁基板の底面に銅箔を貼着したのち前記貫通孔の内部に電子部品を装填する工程と、前記絶縁基板上に導電性ペーストを塗布して前記貫通孔と前記ビアホール内に充填する工程と、前記導電性ペーストを塗布した前記絶縁基板の上面に銅箔を配置し、両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを圧縮、硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成することにより電子部

品内蔵両面配線板を形成する工程と、複数種類の前記電子部品内蔵両面配線板を少なくとも2枚積層する工程とを有する電子回路構成体の製造方法である。

【0019】また、第7の発明は、第6の発明の電子回路構成体の製造方法に関し、絶縁基板としてガラスエポキシコンポジット、ガラスBTレジンコンポジット、アラミドエポキシコンポジットおよびアラミドBTレジンコンポジットの熱硬化性樹脂含浸繊維基材の少なくとも1種からなる絶縁基板を用いるものであり、信頼性に優れた電子回路構成体を形成することができる。

【0020】また、第8の発明は、絶縁基板にビアホールを設ける工程と、前記ビアホールの内部に導電性ペーストを充填する工程と、両端子に導電体を塗布した複数の電子部品を銅箔の所定の位置に載置する工程と、ビアホールの内部に導電性ペーストを充填した前記絶縁基板を複数の電子部品を載置した前記銅箔と他の銅箔との間に挟持して加圧することにより前記電子部品を前記絶縁基板内に埋設する工程と、前記銅箔の両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成することにより電子部品内蔵両面配線板を形成する工程と、複数種類の前記電子部品内蔵両面配線板を少なくとも2枚積層する工程とを有する電子回路構成体の製造方法である。

【0021】また、第9の発明は、第8の発明の電子回路構成体の製造方法に関し、絶縁基板として無機質フィラー70～95重量部と、少なくとも熱硬化性樹脂、硬化剤、および硬化促進剤を含む樹脂組成物5～30重量部からなる混合物を主体とするコンポジット基板を用いるものであり、信頼性に優れた電子回路構成体を安価なコストで製造することができる。

【0022】

【発明の実施の形態】次に本発明の実施の形態について図面を参照しながら説明する。

【0023】（実施の形態1）図1（a）は本発明の第1の実施の形態における電子回路構成体の構造を示すものであり、図1（b）は半導体チップおよび電子回路構成体に内蔵された電子部品で構成される等価回路図である。

【0024】まず図1（a）に示すように、ガラスエポキシ樹脂、アラミドエポキシ樹脂等の合成樹脂よりなる複数の絶縁基板1およびその内層配線2と両面に形成された配線3およびその配線群を電気的に接続するビアホール導体4を主たる構成要素とする多層配線基板5の上面に半導体チップ6が搭載されている。半導体チップ6と多層配線基板5とは半導体チップ6の電極7および多層配線基板5上の配線3または電極パッド8とはんだボールまたは金バンプ9によって接続されている。

【0025】このような多層配線基板の構造において本発明が特徴とするところは、銀または銅ペースト等の導

電体が充填されるビアホール以外に複数の貫通孔を設け、その内部にチップ抵抗10、チップコンデンサ11、チップコイル12等の電子部品を内蔵させている点である。

【0026】特に半導体チップ6が実装されている配線3または電極パッド8の直下にこれらの電子部品を内蔵させたり、内層配線2を介して電子部品を直列接続させる、いわゆるデバイスオンデバイス接続を行うことにより半導体チップと電子部品との配線長を極力短くすることができ、電子回路上の高速動作を可能とすることができる。

【0027】また図1（b）は半導体チップ6の周辺に必要な電子部品を配線基板内に内蔵させて形成した電子回路構成体、いわゆる回路モジュールの等価回路を示すものであり、このように電子部品を多層配線基板内の任意の箇所に内蔵させることにより、配線基板上の電子部品実装面積を低減でき、電子機器の小型軽量化を可能とすることができる。

【0028】（実施の形態2）次に本発明の第2の実施の形態について図2を用いて説明する。

【0029】図2（a）は図2（b）に示すブロック図の一部を本発明に関わる電子回路構成体として形成し、マザー基板に搭載した断面図を示すものであり、第1の実施の形態において説明した多層配線基板内に電子部品を内蔵した複数の電子回路構成体21、22および23を多層配線構造を有するマザー基板24上に配置したものである。図2（a）において21は図2（b）に示す中間周波増幅回路、22は音声中間周波増幅回路、23は映像増幅回路をそれぞれ半導体チップと多層配線基板内に内蔵させた周辺電子部品とにより一体化させた電子回路構成体である。

【0030】上記のように本実施の形態によれば、電子機器の配線基板上からディスクリート電子部品の実装を削減することが可能となり、電子機器の小型化、および実装コストの低減に大きな効果を得ることができる。

【0031】（実施の形態3）次に本発明の第3の実施の形態における電子回路構成体の製造方法について図面を用いて説明する。

【0032】図3（a）～（f）は第1の実施の形態における電子回路構成体の1層を製造する場合の工程断面図であり、図3（a）の31はガラス、アラミド、全芳香族ポリエステル等よりなる不織布にエポキシ、BTレジン、ポリイミド、変成PPE等よりなる熱硬化性樹脂を含浸して得られるプリプレグ状態の樹脂含浸繊維シート基材である。

【0033】この樹脂含浸繊維シート基材31の所定の箇所に図3（b）に示すように、銅ペースト等の導電体を充填するためのビアホール32およびチップ抵抗、チップコンデンサ、チップコイル等の電子部品を装填するための貫通孔33を炭酸ガスレーザ、エキシマレーザに

よる加工、または金型による加工等によって形成する。

【0034】次に図3(c)に示すように、孔開け加工の終わった樹脂含浸繊維シート基材31の片面に銅箔34aを貼着し、あらかじめ一方の端子に導電性ペーストを塗布しておいた電子部品35、36を所定の貫通孔33内に装填したのち、樹脂含浸繊維シート基材31の他の片面からスキージ等により印刷塗布することにより、ビアホール32および貫通孔33内に導電性ペースト37を充填し、(図3(d))その上に他の銅箔34bを配置したのち、図3(e)に示すように両面から加熱、加圧して樹脂含浸繊維シート基材31を圧縮することにより、プリプレグ状態であった樹脂含浸繊維シート基材31が完全硬化する。

【0035】なお図3(d)において電子部品35は電子部品36より形状の小さなものを使用しており、したがって導電性ペースト37を塗布したとき、電子部品35の上面には電子部品36の上面より多くの導電性ペースト37が塗布されていて樹脂含浸繊維シート基材31を加熱、加圧するとき樹脂含浸繊維シート基材31の最終的な厚みは電子部品36の厚みとほぼ同一となるが電子部品35と樹脂含浸繊維シート基材31との厚みの差は導電性ペースト37によって調整される。

【0036】次に通常のフォトリソグラフィによるパターンニングおよびエッチングをおこなうことにより、図3(f)に示すように、樹脂含浸繊維シート基板31の内部にチップ抵抗35、チップコンデンサ36等の電子部品を内蔵し、樹脂含浸繊維シート基板31の両面にビアホール導体である導電性樹脂37で電氣的に接続された配線層38a、38bを備えた電子部品内蔵両面配線板39を得ることができる。

【0037】上記説明した製造法により、他の配線パターンおよび他の電子部品を内蔵した複数種類の電子部品内蔵両面配線基板を形成して積層、多層化してその上面に半導体チップを搭載することにより第1の実施の形態で説明した電子回路構成体を形成することができる。

【0038】(実施の形態4)次に本発明の第4の実施の形態における電子回路構成体の製造方法について図面を用いて説明する。

【0039】図4(a)～(f)は第1の実施の形態における電子回路構成体の1層を製造する場合の工程断面図であり、図4(a)に示す41は酸化アルミニウム、窒化アルミニウム、窒化硼素等の無機質フィラー70～95重量部とエポキシ樹脂等の未硬化状態の熱硬化性樹脂5～30重量部からなる混合物を熱処理によりプリプレグ状態としてシート状に加工したものである。

【0040】このシート基材(絶縁基板)41の所定の位置に図4(b)に示すように、銅ペースト等の導電体を充填するためのビアホール42をレーザ加工法や金型、またはパンチング等の機械加工法により孔開けし、図4(c)に示すようにビアホール42の中に金、銀、

銅等を導電物質とする導電性ペースト43を充填する。

【0041】次に図4(d)に示すように、まずチップ抵抗45、チップコンデンサ46等の電子部品を、その端子電極に導電性ペーストを塗布したのち、銅箔44aの上面の所定の場所に載置し、その上方に図4(c)で得られたシート基材41、さらにその上方に他の銅箔44bを配置して正確に位置合わせしたのち、プレス金型等を用いて加熱、加圧することにより、図4(e)に示すように電子部品45、46をプリプレグ状態のシート基材41の内部に埋め込ませると同時にビアホール導体43を硬化させて銅箔44a、44bと電氣的に接続させ、またシート基材41と銅箔とを強固に接着させる。

【0042】次に両面の銅箔44a、44bを通常のフォトリソグラフィによるパターンニングおよびエッチングを行うことにより、図4(f)に示すように、シート基材41の内部にチップ抵抗45、チップコンデンサ46等の電子部品を内蔵し、シート基材41の両面にビアホール導体43で電氣的に接続された配線層47a、47bを備えた電子部品内蔵両面配線板48を得ることができる。

【0043】本実施の形態においても第3の実施の形態の場合と同じように、上記説明した製造法により、他の配線パターンおよび他の電子部品を内蔵した複数種類の電子部品内蔵両面配線基板を形成して積層、多層化してその上面に半導体チップを搭載することにより第1の実施の形態で説明した電子回路構成体を形成することができる。

【0044】なお本実施の形態において絶縁シート基材として熱硬化性エポキシ樹脂を用いた場合について説明したが、その他BTレジン、ポリイミド、変成PPE等よりなる熱硬化性樹脂を用いることも可能である。

【0045】上記各実施の形態の説明より明らかなように本発明の最も特徴とするところは、従来の部品内蔵型配線基板において用いられる完全に硬化した絶縁基板を用いるものと異なり、プリプレグ状態にある絶縁基板を用いているために形状、大きさに相違がある電子部品を用いることが可能であり、その高さ調整は最終工程における絶縁基板の加熱、加圧による圧縮時に容易に行うことができる。

【0046】また本発明ではプリプレグ状態の絶縁基板に多層配線基板における層間接続のためのビアホール導体の形成や電子部品を装填する等の工程を採用することにより、多層配線基板の任意の層および任意の位置に、すなわち複数の電子部品を層間にまたがって直列接続することやビアホール導体の上下いずれにも電子部品を配置することを自由に行うことができるため、半導体チップや各電子部品間の短配線化が容易となり、高密度実装による電子機器の高速動作化、小型化が可能となる。

【0047】

【発明の効果】複数の絶縁基板を積層し、その両面およ

び内層に複数の配線が形成された多層配線基板の所定のビアホール内に電子部品を埋設して多層配線基板の内部に電子回路を構成して1つの多層配線基板を回路モジュール化、すなわち配線基板と電子部品とを一体化した回路構成体を形成するものであり、配線長の最短化、および高密度配線化を図り、高速動作化など電子機器の高性能化に寄与することができる。

【図面の簡単な説明】

【図1】 (a) 本発明の第1の実施の形態における電子回路構成体の要部断面図

(b) 本発明の第1の実施の形態における電子回路構成体の等価回路図

【図2】 (a) 本発明の第2の実施の形態における電子

回路構成体の要部断面図

(b) 本発明の第2の実施の形態における電子回路構成体のブロック図

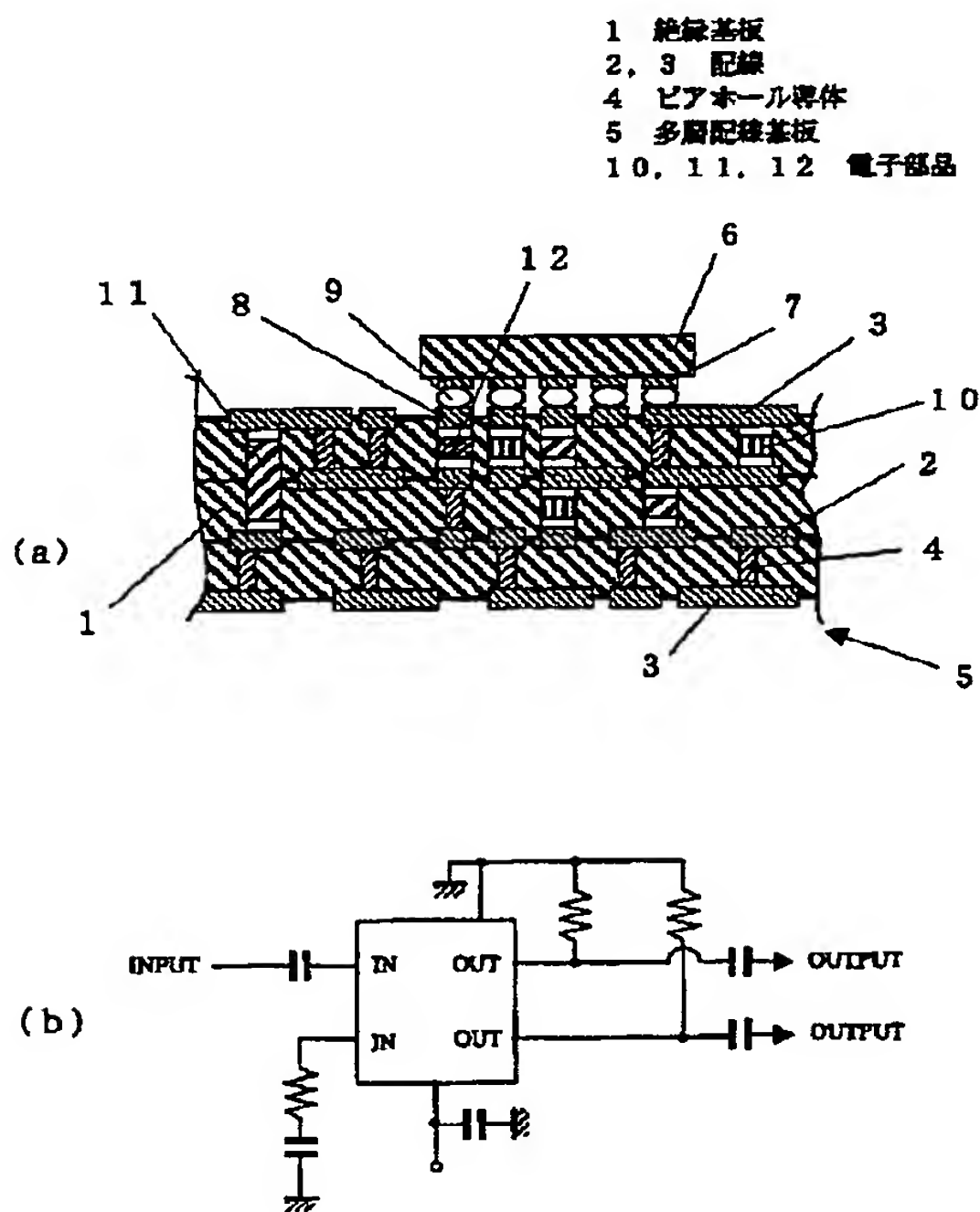
【図3】 本発明の第3の実施の形態における電子回路構成体の製造方法を説明する工程断面図

【図4】 本発明の第4の実施の形態における電子回路構成体の製造方法を説明する工程断面図

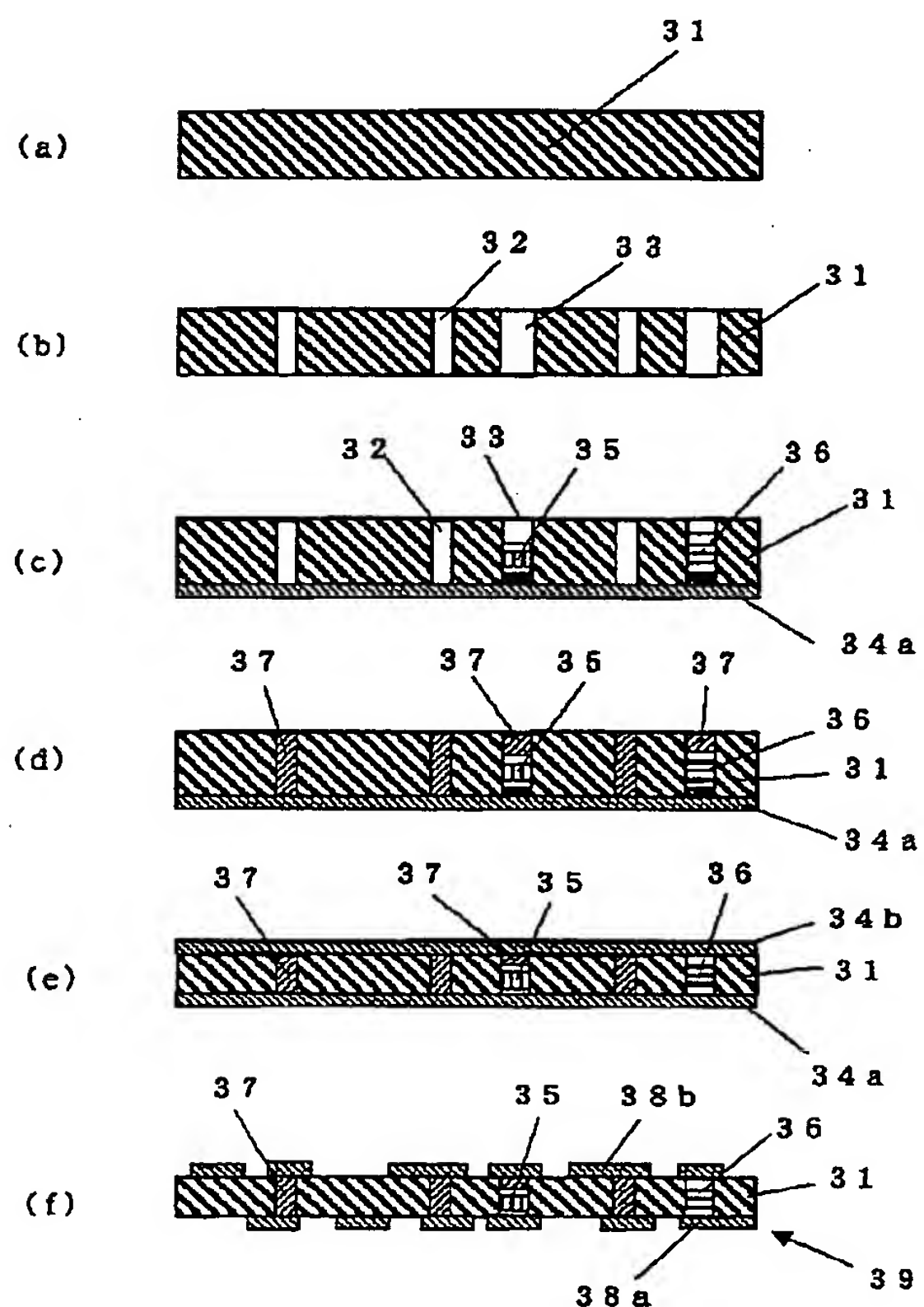
【符号の説明】

- 1 絶縁基板
- 2, 3 配線
- 4 ビアホール導体
- 5 多層配線基板
- 10, 11, 12 電子部品

【図1】

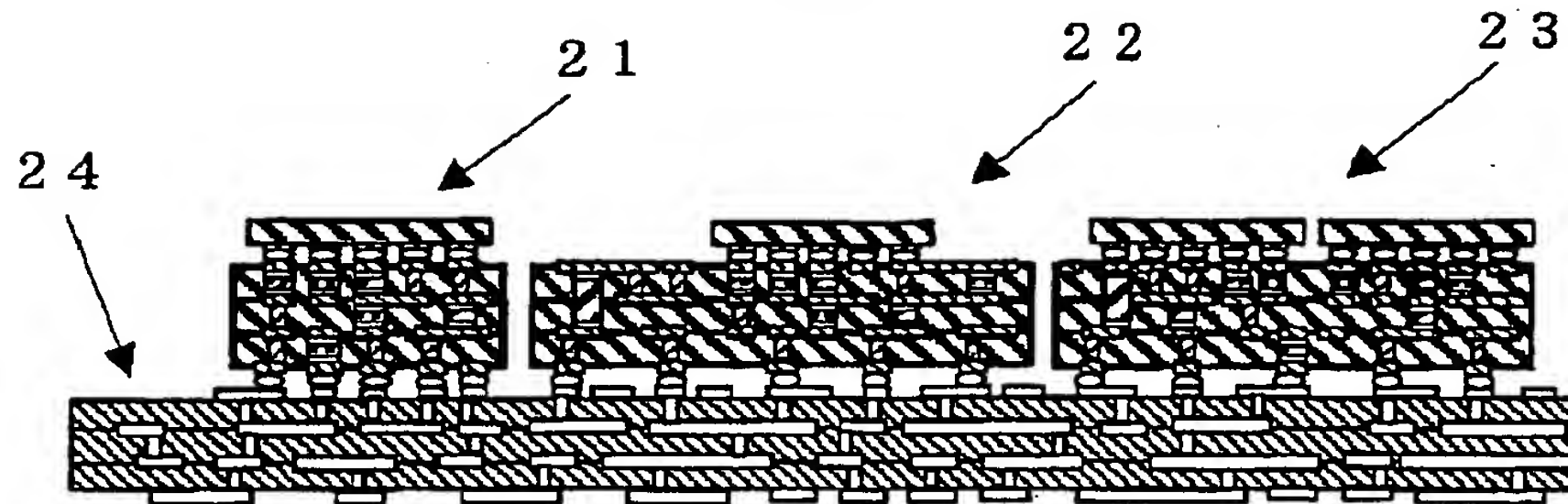


【図3】

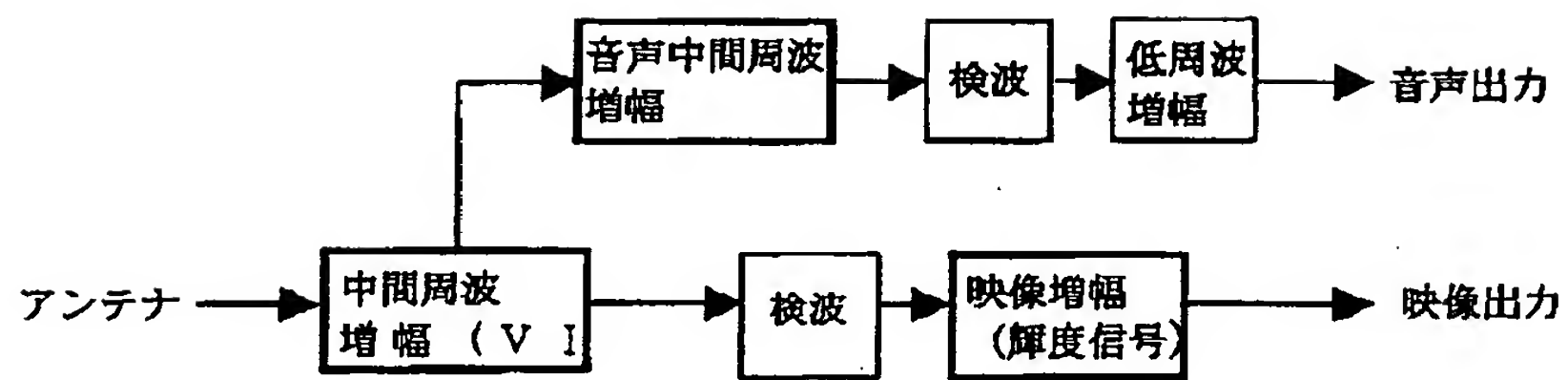


【図2】

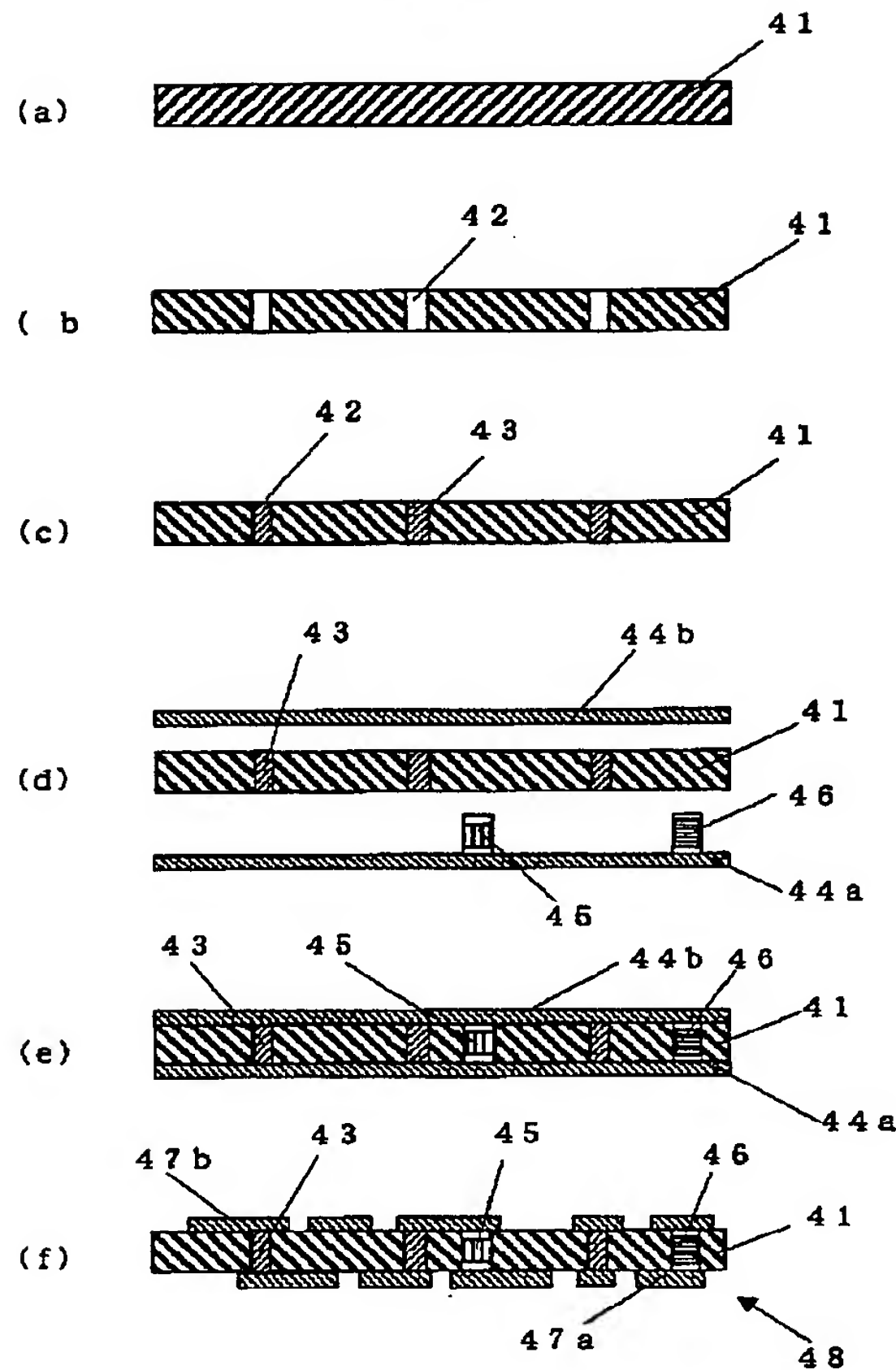
(a)



(b)



【図 4】



【手続補正書】

【提出日】平成13年3月13日（2001. 3. 13）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】部品内蔵両面配線板の製造方法、及び電子回路構成体の製造方法

【特許請求の範囲】

【請求項1】絶縁基板にビアホールと貫通孔を設ける工程と、前記絶縁基板の底面に銅箔を貼着したのち前記貫通孔の内部に電子部品を装填する工程と、前記絶縁基板上に導電性ペーストを塗布して前記貫通孔と前記ビアホール内に充填する工程と、前記導電性ペーストを塗布した前記絶縁基板の上面に銅箔を配置し、両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを圧

縮、硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成する工程とを有する電子部品内蔵両面配線板の製造方法。

【請求項2】絶縁基板としてガラスエポキシコンポジット、ガラスBTレジンコンポジット、アラミドエポキシコンポジットおよびアラミドBTレジンコンポジットの熱硬化性樹脂含浸繊維基材の少なくとも1種からなる絶縁基板を用いることを特徴とする請求項1記載の電子部品内蔵両面配線板の製造方法。

【請求項3】絶縁基板にビアホールを設ける工程と、前記ビアホールの内部に導電性ペーストを充填する工程と、両端子に導電体を塗布した複数の電子部品を銅箔の所定の位置に載置する工程と、ビアホールの内部に導電性ペーストを充填した前記絶縁基板を複数の電子部品を載置した前記銅箔と他の銅箔との間に挟持して加圧することにより前記電子部品を前記絶縁基板内に埋設する工程と、前記銅箔の両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを硬化させる工程と、両面の前記

銅箔をパターンニングして配線を形成する工程とを有する電子部品内蔵両面配線板の製造方法。

【請求項4】 絶縁基板として無機質フィラー70～95重量部と、少なくとも熱硬化性樹脂、硬化剤、および硬化促進剤を含む樹脂組成物5～30重量部からなる混合物を主体とするコンポジット基板を用いることを特徴とする請求項3に記載の電子部品内蔵両面配線板の製造方法。

【請求項5】 絶縁基板にビアホールと貫通孔を設ける工程と、前記絶縁基板の底面に銅箔を貼着したのち前記貫通孔の内部に電子部品を装填する工程と、前記絶縁基板上に導電性ペーストを塗布して前記貫通孔と前記ビアホール内に充填する工程と、前記導電性ペーストを塗布した前記絶縁基板の上面に銅箔を配置し、両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを圧縮、硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成することにより電子部品内蔵両面配線板を形成する工程と、複数種類の前記電子部品内蔵両面配線板を少なくとも2枚積層する工程とを有する電子回路構成体の製造方法。

【請求項6】 絶縁基板としてガラスエポキシコンポジット、ガラスBTレジンコンポジット、アラミドエポキシコンポジットおよびアラミドBTレジンコンポジットの熱硬化性樹脂含浸繊維基材の少なくとも1種からなる絶縁基板を用いることを特徴とする請求項5記載の電子回路構成体の製造方法。

【請求項7】 絶縁基板にビアホールを設ける工程と、前記ビアホールの内部に導電性ペーストを充填する工程と、両端子に導電体を塗布した複数の電子部品を銅箔の所定の位置に載置する工程と、ビアホールの内部に導電性ペーストを充填した前記絶縁基板を複数の電子部品を載置した前記銅箔と他の銅箔との間に挟持して加圧することにより前記電子部品を前記絶縁基板内に埋設する工程と、前記銅箔の両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成することにより電子部品内蔵両面配線板を形成する工程と、複数種類の前記電子部品内蔵両面配線板を少なくとも2枚積層する工程とを有する電子回路構成体の製造方法。

【請求項8】 絶縁基板として無機質フィラー70～95重量部と、少なくとも熱硬化性樹脂、硬化剤、および硬化促進剤を含む樹脂組成物5～30重量部からなる混合物を主体とするコンポジット基板を用いることを特徴とする請求項7に記載の電子回路構成体の製造方法。

【請求項9】 積層する工程において、さらにその上面に半導体チップを搭載することを特徴とする請求項5～8のいずれかに記載の電子回路構成体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電子回路モジュール、特に多層配線基板の内部に電子部品を内蔵させることにより、高密度実装および高密度配線を同時に行うことができる電子回路構成体とその製造方法に関する。

【0002】

【従来の技術】 近年、電子機器の小型化、薄型化、軽量化、高機能化が進展する中で電子機器を構成する各種電子部品の小型化や薄型化とともに、これら電子部品が実装されるプリント配線基板も高密度実装を可能とする様々な技術開発が盛んである。

【0003】 特に最近では急速な実装技術の進展とともに、LSI等の半導体チップを高密度に実装でき、かつ高速信号処理回路にも対応できる多層配線構造の回路基板が安価に供給されることが強く要望されてきている。このような多層配線回路基板では微細な配線ピッチで形成された複数層の配線パターン間の高い電気的接続信頼性や優れた高周波特性を備えていることが重要である。

【0004】 このような問題を解決するために新しい構造を備えた回路基板や高密度配線を目的とする製造方法が開発され、すでに携帯型電子機器等に多く使用されている。

【0005】 例えば、従来の多層配線基板における層間接続の主流となっていたスルーホール内壁の銅めっき導体に代えて、インナーバイアホール（以下、IVHという）に導電体を充填して接続信頼性の向上を図るとともに部品ランド直下や任意の層間にIVHを形成でき、基板サイズの小型化や高密度実装が実現できる全層IVH構造の樹脂多層配線基板（特開平6-268345号公報）がある。

【0006】 しかしながら上記のように高密度配線化された多層配線基板においても、コンデンサ、抵抗器など配線基板の表面に実装される電子部品の占める面積の割合は依然として高く、電子機器の小型化に対して大きな課題となっている。このような課題の解決策として配線基板内に電子部品を埋設して高密度実装化を図ろうとする提案が開示されている。

【0007】 例えばプリント基板に設けた透孔内にリードレス部品を埋設した特開昭54-38561号公報、絶縁基板に設けた貫通孔内にセラミックコンデンサ等の受動素子を埋設した特公昭60-41480号公報、半導体素子のバイパスコンデンサをプリント配線基板の孔に埋設した特開平4-73992号公報および特開平5-218615号公報等が開示されている。

【0008】 また、セラミック配線基板に設けたビアホール内に導電性物質と誘電性物質を充填して同時焼成した特開平8-222656号公報、有機系絶縁基板に設けた貫通孔に電子部品形成材料を埋め込んだ後、固化させてコンデンサや抵抗器を形成した特開平10-56251号公報等が開示されている。

【0009】 上記従来の開示技術はいずれも二つの方式に大別できる。すなわちその一つは配線基板に設けられ

た貫通孔にチップ抵抗器またはチップコンデンサ等の既に完成されたリードレス部品を埋設したのち、このリードレス部品の電極と配線基板上の配線パターンとを導電性ペイントまたは半田付けによって接続するものである。また他の一つは有機系配線基板の場合、配線基板に設けた貫通孔にコンデンサ等の電子部品形成材料を埋め込み、固化させることによって所望のコンデンサとした後、その上下の端面にメッキを施して電極を形成して電子部品内蔵配線基板を形成させ、また無機系配線基板の場合は、セラミックグリーンシートに設けられたビアホール内に誘電体ペーストや導電性ペーストを充填した後、高温で焼成することにより、所望のコンデンサを内蔵した配線基板を形成したものである。

【0010】

【発明が解決しようとする課題】しかしながら、前述したこれら従来の開示技術はいずれも両面配線基板の貫通孔内に電子部品を埋設してその電子部品の電極を配線基板の表裏両面の配線パターンに接続するものであり、その小型化、高密度実装化および多機能化には限界がある。

【0011】本発明は上記の課題を解決するものであり、極めて多機能化された小型電子機器に使用するための多層配線基板において、複数種の電子部品を多層配線基板内の各層における任意の位置に完全に埋設させて回路と電子部品を一体化、すなわちモジュール化することにより配線長の最短化、および高密度配線化を図り、高速動作化など電子機器の高性能化に寄与することができる電子回路構成体とその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は上記目的を達成するために、複数の絶縁基板を積層し、その両面および内層に複数の配線が形成された多層配線基板の所定のビアホール内に電子部品を埋設して多層配線基板の内部に電子回路を構成することにより、1つの多層配線基板をモジュール化、すなわち配線基板と電子部品とを一体化した回路構成体を形成できるため、高速信号処理が可能な電子機器を高密度化、小型化することができる。

【0013】本願の第1の発明は、絶縁基板にビアホールと貫通孔を設ける工程と、前記絶縁基板の底面に銅箔を貼着したのち前記貫通孔の内部に電子部品を装填する工程と、前記絶縁基板上に導電性ペーストを塗布して前記貫通孔と前記ビアホール内に充填する工程と、前記導電性ペーストを塗布した前記絶縁基板の上面に銅箔を配置し、両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを圧縮、硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成する工程とを有する電子部品内蔵両面配線板の製造方法である。

【0014】また、第2の発明は、第1の発明の電子部品内蔵両面配線板の製造方法に関し、絶縁基板としてガ

ラスエポキシコンポジット、ガラスBTレジンコンポジット、アラミドエポキシコンポジットおよびアラミドBTレジンコンポジットの熱硬化性樹脂含浸繊維基材の少なくとも1種からなる絶縁基板を用いることを特徴とするものである。

【0015】また、第3の発明は、絶縁基板にビアホールを設ける工程と、前記ビアホールの内部に導電性ペーストを充填する工程と、両端子に導電体を塗布した複数の電子部品を銅箔の所定の位置に載置する工程と、ビアホールの内部に導電性ペーストを充填した前記絶縁基板を複数の電子部品を載置した前記銅箔と他の銅箔との間に挟持して加圧することにより前記電子部品を前記絶縁基板内に埋設する工程と、前記銅箔の両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成する工程とを有する電子部品内蔵両面配線板の製造方法である。

【0016】また、第4の発明は、第3の発明の電子部品内蔵両面配線板の製造方法に関し、絶縁基板として無機質フィラー70～95重量部と、少なくとも熱硬化性樹脂、硬化剤、および硬化促進剤を含む樹脂組成物5～30重量部からなる混合物を主体とするコンポジット基板を用いることを特徴とするものである。

【0017】また、第5の発明は、絶縁基板にビアホールと貫通孔を設ける工程と、前記絶縁基板の底面に銅箔を貼着したのち前記貫通孔の内部に電子部品を装填する工程と、前記絶縁基板上に導電性ペーストを塗布して前記貫通孔と前記ビアホール内に充填する工程と、前記導電性ペーストを塗布した前記絶縁基板の上面に銅箔を配置し、両面から加熱、加圧して前記絶縁基板と前記導電性ペーストを圧縮、硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成することにより電子部品内蔵両面配線板を形成する工程と、複数種類の前記電子部品内蔵両面配線板を少なくとも2枚積層する工程とを有する電子回路構成体の製造方法である。

【0018】また、第6の発明は、第5の発明の電子回路構成体の製造方法に関し、絶縁基板としてガラスエポキシコンポジット、ガラスBTレジンコンポジット、アラミドエポキシコンポジットおよびアラミドBTレジンコンポジットの熱硬化性樹脂含浸繊維基材の少なくとも1種からなる絶縁基板を用いるものであり、信頼性に優れた電子回路構成体を形成することができる。

【0019】また、第7の発明は、絶縁基板にビアホールを設ける工程と、前記ビアホールの内部に導電性ペーストを充填する工程と、両端子に導電体を塗布した複数の電子部品を銅箔の所定の位置に載置する工程と、ビアホールの内部に導電性ペーストを充填した前記絶縁基板を複数の電子部品を載置した前記銅箔と他の銅箔との間に挟持して加圧することにより前記電子部品を前記絶縁基板内に埋設する工程と、前記銅箔の両面から加熱、加

圧して前記絶縁基板と前記導電性ペーストを硬化させる工程と、両面の前記銅箔をパターンニングして配線を形成することにより電子部品内蔵両面配線板を形成する工程と、複数種類の前記電子部品内蔵両面配線板を少なくとも2枚積層する工程とを有する電子回路構成体の製造方法である。

【0020】また、第8の発明は、第7の発明の電子回路構成体の製造方法に関し、絶縁基板として無機質フィラー70～95重量部と、少なくとも熱硬化性樹脂、硬化剤、および硬化促進剤を含む樹脂組成物5～30重量部からなる混合物を主体とするコンポジット基板を用いるものであり、信頼性に優れた電子回路構成体を安価なコストで製造することができる。

【0021】また、第9の発明は、第5～8のいずれかに発明の電子回路構成体の製造方法に関し、積層する工程において、さらにその上面に半導体チップを搭載する方法である。

【0022】

【発明の実施の形態】次に本発明の実施の形態について図面を参照しながら説明する。

【0023】（参考例1）図1（a）は本発明の第1の参考例における電子回路構成体の構造を示すものであり、図1（b）は半導体チップおよび電子回路構成体内蔵された電子部品で構成される等価回路図である。

【0024】まず図1（a）に示すように、ガラスエポキシ樹脂、アラミドエポキシ樹脂等の合成樹脂よりなる複数の絶縁基板1およびその内層配線2と両面に形成された配線3およびその配線群を電気的に接続するビアホール導体4を主たる構成要素とする多層配線基板5の上面に半導体チップ6が搭載されている。半導体チップ6と多層配線基板5とは半導体チップ6の電極7および多層配線基板5上の配線3または電極パッド8とはんだボールまたは金バンプ9によって接続されている。

【0025】このような多層配線基板の構造において本参考例が特徴とするところは、銀または銅ペースト等の導電体が充填されるビアホール以外に複数の貫通孔を設け、その内部にチップ抵抗10、チップコンデンサ11、チップコイル12等の電子部品を内蔵させている点である。

【0026】特に半導体チップ6が実装されている配線3または電極パッド8の直下にこれらの電子部品を内蔵させたり、内層配線2を介して電子部品を直列接続させる、いわゆるデバイスオンデバイス接続を行うことにより半導体チップと電子部品との配線長を極力短くすることができ、電子回路上の高速動作を可能とすることができる。

【0027】また図1（b）は半導体チップ6の周辺に必要な電子部品を配線基板内に内蔵させて形成した電子回路構成体、いわゆる回路モジュールの等価回路を示すものであり、このように電子部品を多層配線基板内の任

意の箇所に内蔵させることにより、配線基板上の電子部品実装面積を低減でき、電子機器の小型軽量化を可能とすることができる。

【0028】（参考例2）次に本発明の第2の参考例について図2を用いて説明する。

【0029】図2（a）は図2（b）に示すブロック図の一部を本参考例に関わる電子回路構成体として形成し、マザー基板上に搭載した断面図を示すものであり、第1の参考例において説明した多層配線基板内に電子部品を内蔵した複数の電子回路構成体21、22および23を多層配線構造を有するマザー基板24上に配置したものである。図2（a）において21は図2（b）に示す中間周波増幅回路、22は音声中間周波増幅回路、23は映像増幅回路をそれぞれ半導体チップと多層配線基板内に内蔵させた周辺電子部品とにより一体化させた電子回路構成体である。

【0030】上記のように本参考例によれば、電子機器の配線基板上からディスクリート電子部品の実装を削減することが可能となり、電子機器の小型化、および実装コストの低減に大きな効果を得ることができる。

【0031】（実施の形態1）次に本発明の第1の実施の形態における電子回路構成体の製造方法について図面を用いて説明する。

【0032】図3（a）～（f）は第1の参考例における電子回路構成体の1層を製造する場合の工程断面図であり、図3（a）の31はガラス、アラミド、全芳香族ポリエステル等よりなる不織布にエポキシ、BTレジン、ポリイミド、変成PPE等よりなる熱硬化性樹脂を含浸して得られるプリプレグ状態の樹脂含浸繊維シート基材である。

【0033】この樹脂含浸繊維シート基材31の所定の箇所に図3（b）に示すように、銅ペースト等の導電体を充填するためのビアホール32およびチップ抵抗、チップコンデンサ、チップコイル等の電子部品を装填するための貫通孔33を炭酸ガスレーザ、エキシマレーザによる加工、または金型による加工等によって形成する。

【0034】次に図3（c）に示すように、孔開け加工の終わった樹脂含浸繊維シート基材31の片面に銅箔34aを貼着し、あらかじめ一方の端子に導電性ペーストを塗布しておいた電子部品35、36を所定の貫通孔33内に装填したのち、樹脂含浸繊維シート基材31の他の片面からスキージ等により印刷塗布することにより、ビアホール32および貫通孔33内に導電性ペースト37を充填し、（図3（d））その上に他の銅箔34bを配置したのち、図3（e）に示すように両面から加熱、加圧して樹脂含浸繊維シート基材31を圧縮することにより、プリプレグ状態であった樹脂含浸繊維シート基材31が完全硬化する。

【0035】なお図3（d）において電子部品35は電子部品36より形状の小さなものを使用しており、した

がって導電性ペースト37を塗布したとき、電子部品35の上面には電子部品36の上面より多くの導電性ペースト37が塗布されていて樹脂含浸繊維シート基材31を加熱、加圧するとき樹脂含浸繊維シート基材31の最終的な厚みは電子部品36の厚みとほぼ同一となるが電子部品35と樹脂含浸繊維シート基材31との厚みの差は導電性ペースト37によって調整される。

【0036】次に通常のフォトリソグラフィによるパターンニングおよびエッチングをおこなうことにより、図3(f)に示すように、樹脂含浸繊維シート基板31の内部にチップ抵抗35、チップコンデンサ36等の電子部品を内蔵し、樹脂含浸繊維シート基板31の両面にビアホール導体である導電性樹脂37で電氣的に接続された配線層38a、38bを備えた電子部品内蔵両面配線板39を得ることができる。

【0037】上記説明した製造法により、他の配線パターンおよび他の電子部品を内蔵した複数種類の電子部品内蔵両面配線基板を形成して積層、多層化してその上面に半導体チップを搭載することにより第1の参考例で説明した電子回路構成体を形成することができる。

【0038】(実施の形態2)次に本発明の第2の実施の形態における電子回路構成体の製造方法について図面を用いて説明する。

【0039】図4(a)～(f)は第1の参考例における電子回路構成体の1層を製造する場合の工程断面図であり、図4(a)に示す41は酸化アルミニウム、窒化アルミニウム、窒化ボロン等の無機質フィラー70～95重量部とエポキシ樹脂等の未硬化状態の熱硬化性樹脂5～30重量部からなる混合物を熱処理によりプリプレグ状態としてシート状に加工したものである。

【0040】このシート基材(絶縁基板)41の所定の位置に図4(b)に示すように、銅ペースト等の導電体を充填するためのビアホール42をレーザ加工法や金型、またはパンチング等の機械加工法により孔開けし、図4(c)に示すようにビアホール42の中に金、銀、銅等を導電物質とする導電性ペースト43を充填する。

【0041】次に図4(d)に示すように、まずチップ抵抗45、チップコンデンサ46等の電子部品を、その端子電極に導電性ペーストを塗布したのち、銅箔44aの上面の所定の場所に載置し、その上方に図4(c)で得られたシート基材41、さらにその上方に他の銅箔44bを配置して正確に位置合わせしたのち、プレス金型等を用いて加熱、加圧することにより、図4(e)に示すように電子部品45、46をプリプレグ状態のシート基材41の内部に埋め込ませると同時にビアホール導体43を硬化させて銅箔44a、44bと電氣的に接続させ、またシート基材41と銅箔とを強固に接着させる。

【0042】次に両面の銅箔44a、44bを通常のフォトリソグラフィによるパターンニングおよびエッチングを行うことにより、図4(f)に示すように、シート

基材41の内部にチップ抵抗45、チップコンデンサ46等の電子部品を内蔵し、シート基材41の両面にビアホール導体43で電氣的に接続された配線層47a、47bを備えた電子部品内蔵両面配線板48を得ることができる。

【0043】本実施の形態においても第1の実施の形態の場合と同じように、上記説明した製造法により、他の配線パターンおよび他の電子部品を内蔵した複数種類の電子部品内蔵両面配線基板を形成して積層、多層化してその上面に半導体チップを搭載することにより第1の参考例で説明した電子回路構成体を形成することができる。

【0044】なお本実施の形態において絶縁シート基材として熱硬化性エポキシ樹脂を用いた場合について説明したが、その他BTレジン、ポリイミド、変成PPE等よりなる熱硬化性樹脂を用いることも可能である。

【0045】上記各実施の形態の説明より明らかなように本発明の最も特徴とするところは、従来の部品内蔵型配線基板において用いられる完全に硬化した絶縁基板を用いるものと異なり、プリプレグ状態にある絶縁基板を用いているために形状、大きさに相違がある電子部品を用いることが可能であり、その高さ調整は最終工程における絶縁基板の加熱、加圧による圧縮時に容易に行うことができる。

【0046】また本発明ではプリプレグ状態の絶縁基板に多層配線基板における層間接続のためのビアホール導体の形成や電子部品を装填する等の工程を採用することにより、多層配線基板の任意の層および任意の位置に、すなわち複数の電子部品を層間にまたがって直列接続することやビアホール導体の上下いずれにも電子部品を配置することを自由に行うことができるため、半導体チップや各電子部品間の短配線化が容易となり、高密度実装による電子機器の高速動作化、小型化が可能となる。

【0047】

【発明の効果】複数の絶縁基板を積層し、その両面および内層に複数の配線が形成された多層配線基板の所定のビアホール内に電子部品を埋設して多層配線基板の内部に電子回路を構成して1つの多層配線基板を回路モジュール化、すなわち配線基板と電子部品とを一体化した回路構成体を形成するものであり、配線長の最短化、および高密度配線化を図り、高速動作化など電子機器の高性能化に寄与することができる。

【図面の簡単な説明】

【図1】(a)本発明の第1の参考例における電子回路構成体の要部断面図

(b)本発明の第1の参考例における電子回路構成体の等価回路図

【図2】(a)本発明の第2の参考例における電子回路構成体の要部断面図

(b)本発明の第2の参考例における電子回路構成体の

ブロック図

【図3】本発明の第1の実施の形態における電子回路構成体の製造方法を説明する工程断面図

【図4】本発明の第2の実施の形態における電子回路構成体の製造方法を説明する工程断面図

【符号の説明】

- 1 絶縁基板
- 2, 3 配線
- 4 ビアホール導体
- 5 多層配線基板
- 10, 11, 12 電子部品

フロントページの続き

(72)発明者 安藤 大蔵
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5E346 AA06 AA22 AA43 AA60 BB01
CC04 CC05 CC06 CC08 CC16
DD12 DD32 EE02 EE06 EE13
FF18 FF45 GG15 GG22 GG28
GG40 HH22 HH25

This Page Blank (uspto)